

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-132295
 (43)Date of publication of application : 13.05.1994

(51)Int.Cl. H01L 21/331
 H01L 29/73

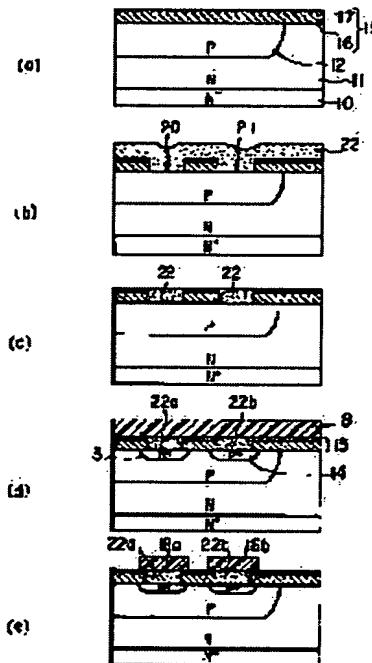
(21)Application number : 04-284334	(71)Applicant : TOSHIBA CORP
(22)Date of filing : 22.10.1992	(72)Inventor : BABA YOSHIAKI YANAGIYA SATOSHI MATSUDA NOBORU OSAWA AKIHIKO TSUCHIYA MASANOBU

(54) BIPOLAR TRANSISTOR AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To prevent the overetching of an emitter electrode by forming a lead-out electrode self-alignedly and by eliminating the occurrence of a difference in level of the lead-out electrode on an insulating film formed on a base region.

CONSTITUTION: In an emitter opening 20 and a base opening 21, each formed on a part of an insulating film 15 on a base region 12, an emitter lead-out electrode 22a and a base lead-out electrode 22b are formed respectively by self-alignment. With these electrodes used as diffusion sources, an emitter region 13 and a base electrode lead-out region 14 are formed by diffusion in a part of a surface section of the base region 12. After that, an emitter metal electrode 18a is formed so as to cover the emitter lead-out electrode 22a and a base metal electrode 18b is formed so as to cover the base lead-out electrode 22b. By this method, overetching of the emitter electrode can be prevented and a short-circuit fault between the emitter and the base can be avoided.



LEGAL STATUS

[Date of request for examination] 14.01.1999

[Date of sending the examiner's decision of rejection] 21.08.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-132295

(43)公開日 平成6年(1994)5月13日

(51)Int.Cl.
H 01 L 21/331
29/73

識別記号

序内整理番号

F I

技術表示箇所

7377-4M

H 01 L 29/72

審査請求 未請求 請求項の数6(全6頁)

(21)出願番号 特願平4-284334

(22)出願日 平成4年(1992)10月22日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 馬場 嘉朗

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝多摩川工場内

(72)発明者 柳谷 謙

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝多摩川工場内

(72)発明者 松田 昇

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝多摩川工場内

(74)代理人 弁理士 鈴江 武彦

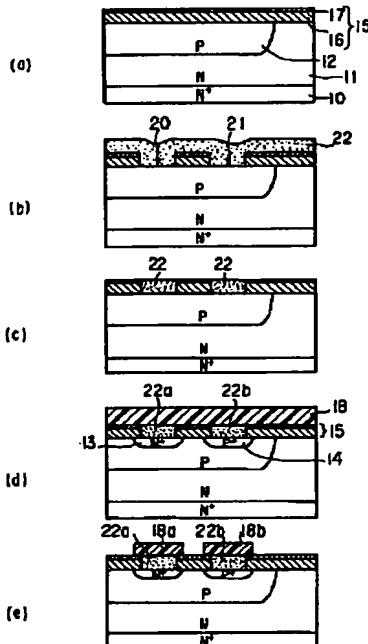
最終頁に続く

(54)【発明の名称】 バイポーラトランジスタおよびその製造方法

(57)【要約】

【目的】バイポーラトランジスタのエミッタ電極のオーバーエッチングやエミッタコンタクト部のエッチングを防止し、エミッタ・ベース間の短絡不良の発生を防止し、製造工程数を削減する。

【構成】ベース領域12上の絶縁膜15の一部に形成されたエミッタ開口部20およびベース開口部21にそれぞれ埋込み形成されたエミッタ引き出し電極22aおよびベース引き出し電極22bと、エミッタ引き出し電極およびベース引き出し電極をそれぞれ拡散源としてベース領域の表層部の一部に拡散されて形成されたエミッタ領域13およびベース電極引き出し領域14と、エミッタ引き出し電極上を覆うように形成されたエミッタ金属電極18aと、ベース引き出し電極上を覆うように形成されたベース金属電極18bとを具備することを特徴とする。



【特許請求の範囲】

【請求項1】 半導体基板の主表面上に形成されたベース領域と、

このベース領域の表面上に形成された酸化膜および窒化膜が積層されてなる複合絶縁膜と、

前記ベース領域上の複合絶縁膜の一部に形成されたエミッタ開口部に埋込み形成され、前記ベース領域と逆の導電型をもつ不純物がドープされたポリシリコンからなるエミッタ引き出し電極と、

このエミッタ引き出し電極を拡散源として前記ベース領域の表層部の一部に拡散されて形成されたエミッタ領域と、

前記ベース領域上の複合絶縁膜の一部に形成されたベース開口部に埋込み形成され、前記ベース領域と同一導電型をもつ不純物がドープされたポリシリコンからなるベース引き出し電極と、

このベース引き出し電極を拡散源として前記ベース領域の表層部の一部に拡散されて形成されたベース電極引き出し領域と、

前記エミッタ引き出し電極上を覆うように形成されたエミッタ金属電極と、

前記ベース引き出し電極の上を覆うように形成されたベース金属電極と、

前記ベース領域に接して形成されたコレクタ領域と、このコレクタ領域にコンタクトするように形成されたコレクタ金属電極とを具備することを特徴とするバイポーラ・トランジスタ。

【請求項2】 請求項1記載のバイポーラトランジスタは、

前記コレクタ領域の表層部の一部に前記ベース領域を含むように形成された縦型のバイポーラトランジスタであることを特徴とする縦型のバイポーラトランジスタ。

【請求項3】 請求項1記載のバイポーラトランジスタは、

前記ベース領域内で前記エミッタ領域に対向して前記コレクタ領域が形成された横型のバイポーラトランジスタであることを特徴とする縦型のバイポーラトランジスタ。

【請求項4】 第1導電型の半導体基板の主表面上の一部に第1導電型とは逆の第2導電型のベース領域を形成する工程と、

このベース領域上および前記エピタキシャル層の露出表面上に絶縁膜を形成する工程と、

前記ベース領域上の絶縁膜にエミッタ開口部およびベース開口部を形成する工程と、前記絶縁膜上にポリシリコンを堆積して上記エミッタ開口部の内部およびベース開口部の内部に上記ポリシリコンを埋め込む工程と、

上記ポリシリコンを前記絶縁膜の上面までエッチバックする工程と、

前記エミッタ開口部の内部のポリシリコンに第1導電型

10

20

30

40

50

の不純物のイオンを注入する工程と、

前記ベース開口部の内部のポリシリコンに第2導電型の不純物のイオンを注入する工程と、

熱処理により前記エミッタ開口部の内部のポリシリコンをエミッタ引き出し電極化すると共にそれを拡散源として前記ベース領域の表層部の一部にエミッタ領域を拡散形成する工程と、

上記熱処理により前記ベース開口部の内部のポリシリコンをベース引き出し電極化すると共にそれを拡散源として前記ベース領域の表層部の一部にベース電極引き出し領域を拡散形成する工程としてエミッタ引き出し電極を形成する工程と、

前記絶縁膜上に金属を蒸着してバーニングし、エミッタ引き出し電極上を覆うようにエミッタ電極を形成すると共に前記ベース引き出し電極上を覆うようにベース電極を形成する工程と、

コレクタ領域に接するようにコレクタ電極を形成する工程とを具備することを特徴とするバイポーラトランジスタの製造方法。

【請求項5】 請求項4記載のバイポーラトランジスタの製造方法において、

前記コレクタ電極を前記半導体基板主の裏面に形成することを特徴とするバイポーラトランジスタの製造方法。

【請求項6】 請求項4記載のバイポーラトランジスタの製造方法において、

前記コレクタ領域を前記ベース領域の表層部の一部に形成する工程を具備することを特徴とするバイポーラトランジスタの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、バイポーラトランジスタおよびその製造方法に係り、特に遮断周波数 f_t が 1.0 GHz 以上の高周波トランジスタの電極構造およびその形成方法に関する。

【0002】

【従来の技術】図3は、ディスクリート・デバイスで採用されている樹形構造を有する高周波用のバイポーラトランジスタの平面パターンの一例を示している。図4は、図3中のB-B線に沿う断面構造の一部について従来例を示す。

【0003】ここで、30はN⁺基板、31はN型エピタキシャル層であり、これらはNPNトランジスタのコレクタ領域である。32はP型ベース領域、33はN型エミッタ領域、34は熱酸化膜、35は窒化膜である。

【0004】36は前記酸化膜34および窒化膜35の一部に設けられたエミッタ開口部を通して前記エミッタ領域33にコンタクトしたエミッタ引き出し電極であり、N型不純物がドープされたポリシリコンからなり、エミッタ拡散源を兼ねる。37は上記エミッタ引き出し電極36上に形成された第1層アルミニウムからなるエ

ミッタ電極である。

【0005】38は前記酸化膜34および窒化膜35の一部に設けられたベース開口部を通して前記ベース領域32にコンタクトした第1層アルミニウムからなるベース電極である。

【0006】39は前記エミッタ電極37およびベース電極38の上に形成された層間絶縁膜、40は上記層間絶縁膜39の一部に設けられた開口部を通して前記エミッタ電極37と共に接続された第2層アルミニウムからなるエミッタ配線、41は前記層間絶縁膜37の一部に設けられた開口部を通して前記ベース電極38と共に接続された第2層アルミニウムからなるベース配線である。上記したような構造の高周波用のバイポーラトランジスタの性能向上のポイントは、遮断周波数 f_t の向上と、雑音指数 N_f の低減である。

【0007】遮断周波数 f_t を向上させるためには、コレクタ・ベース間容量 C_{cbo} やベース抵抗 r_{bb} などを減少させる必要があり、雑音指数 N_f を低減させるためには、ベース抵抗 r_{bb} を減少させる必要がある。コレクタ・ベース間容量 C_{cbo} を減少させるためのポイントは、微細化によりエミッタ開口径、ベース開口径を縮小することなどである。

【0008】ベース抵抗 r_{bb} を減少させるためのポイントは、微細加工によりエミッタ領域・ベース領域の開口間隔を縮小させるほかに、電極のコンタクト抵抗や配線抵抗を低減することなどである。

【0009】電極のコンタクト抵抗や配線抵抗を低減するため、不純物拡散源を兼ねたエミッタ引き出し電極（ポリシリコン電極）36の上にエミッタ電極（本例ではアルミニウム電極）37を形成している。この場合、ポリシリコン電極36とアルミニウム電極37のバターンの合わせ精度、アルミニウム電極37、38の微細加工が必要である。

【0010】従来、 f_t が10GHzのバイポーラトランジスタにおいては、エミッタ引き出し電極36およびベース電極38のコンタクト幅がそれぞれ0.7μm、エミッタ・ベースの開口間隔が2.7μm、ポリシリコン電極36の幅およびアルミニウム電極37、38の幅がそれぞれ1.9μm、アルミニウム電極37、38間隔は0.8μmになっている。

【0011】この場合、ポリシリコン電極36およびアルミニウム電極37は合わせ精度なしで形成されており、アルミニウム電極37、38間隔（0.8μm）はg線ステッパーの解像度の限界に近い。

【0012】このような状況では、ポリシリコン電極36上にアルミニウム膜を蒸着してアルミニウム電極37をバターニング形成する際に、両者のバターンの合わせずれが生じると、以下に述べるような問題が生じる。

【0013】図5は、アルミニウム膜エッチングマスク用のレジストバターン42がポリシリコン電極36のバ

ターンに対して例えば0.4μmの合わせずれが生じた場合のアルミニウム膜エッチング工程後の断面構造の一例を示している。

【0014】このようにアルミニウム膜エッチングマスク用のレジストバターン42がポリシリコン電極36のバターンの合わせずれが生じると、アルミニウム膜をバターニングしてアルミニウム電極37をバターニング形成する際に下地の凹凸の影響を受け、図中点線Aで示すようにポリシリコン・エミッタ引き出し電極36のオーバーエッチングが生じ、極端な場合には、エミッタコンタクト部がエッチングされてしまう。

【0015】また、ポリシリコン・エミッタ引き出し電極36を形成する際のポリシリコン膜のバターニングにより発生するポリシリコン電極の段差Bの存在により、エミッタ・ベース間でアルミニウム膜の一部Cが完全にはエッチングされずに残り、これによりエミッタ・ベース間の短絡不良が発生し、製造歩留りが低下するおそれがある。

【0016】

【発明が解決しようとする課題】上記したように従来の高周波用のバイポーラトランジスタにおいては、ポリシリコン・エミッタ電極のオーバーエッチングが生じ、極端な場合には、エミッタコンタクト部がエッチングされてしまうという問題、エミッタ・ベース間の短絡不良が発生し、製造歩留りが低下するおそれがあるという問題があった。

【0017】本発明は上記の問題点を解決すべくなされたもので、エミッタ電極のオーバーエッチングやエミッタコンタクト部のエッチングを防止でき、かつ、エミッタ・ベース間の短絡不良の発生を防止でき、しかも、工程数を削減でき、超高速動作が可能なバイポーラトランジスタおよびその製造方法を提供することを目的とする。

【0018】

【課題を解決するための手段】本発明のバイポーラトランジスタは、ベース領域上の絶縁膜の一部に形成されたエミッタ開口部に埋込み形成されたエミッタ引き出し電極と、このエミッタ引き出し電極を拡散源として前記ベース領域の表層部の一部に拡散されて形成されたエミッタ領域と、前記ベース領域上の絶縁膜の一部に形成されたベース開口部に埋込み形成されたベース引き出し電極と、このベース引き出し電極を拡散源として前記ベース領域の表層部の一部に拡散されて形成されたベース電極引き出し領域と、前記エミッタ引き出し電極上を覆うように形成されたエミッタ金属電極と、前記ベース引き出し電極上を覆うように形成されたベース金属電極と、前記ベース領域に接して形成されたコレクタ領域と、このコレクタ領域にコンタクトするように形成されたコレクタ金属電極とを具備することを特徴とする。

【0019】また、本発明のバイポーラトランジスタの

製造方法は、第1導電型の半導体基板の主表面上の一部に第1導電型とは逆の第2導電型のベース領域を形成する工程と、このベース領域上および前記エビタキシャル層の露出表面上に絶縁膜を形成する工程と、前記ベース領域上の絶縁膜にエミッタ開口部およびベース開口部を形成する工程と、前記絶縁膜上にポリシリコンを堆積して上記エミッタ開口部の内部およびベース開口部の内部に上記ポリシリコンを埋め込む工程と、上記ポリシリコンを前記絶縁膜の上面までエッチバックする工程と、前記エミッタ開口部の内部のポリシリコンに第1導電型の不純物のイオンを注入し、前記ベース開口部の内部のポリシリコンに第2導電型の不純物のイオンを注入する工程と、熱処理により前記エミッタ開口部の内部のポリシリコンをエミッタ引き出し電極化すると共にそれを拡散源として前記ベース領域の表層部の一部にエミッタ領域を拡散形成する工程と、上記熱処理により前記ベース開口部の内部のポリシリコンをベース引き出し電極化すると共にそれを拡散源として前記ベース領域の表層部の一部にベース電極引き出し領域を拡散形成する工程と、前記絶縁膜上に金属を蒸着してバーニングし、エミッタ引き出し電極上を覆うようにエミッタ電極を形成すると共に前記ベース引き出し電極上を覆うようにベース電極を形成する工程とを具備することを特徴とする。

【0020】

【作用】本発明のバイポーラトランジスタは、ベース領域上の絶縁膜の一部に形成されたエミッタ開口部およびベース開口部にそれぞれエミッタ引き出し電極およびベース引き出し電極が埋込み形成されており、エミッタ引き出し電極およびベース引き出し電極をそれぞれ拡散源としてベース領域の表層部の一部にエミッタ領域およびベース電極引き出し領域が拡散形成され、エミッタ引き出し電極上を覆うようにエミッタ金属電極が形成されると共にベース引き出し電極上を覆うようにベース金属電極が形成されている。

【0021】上記引き出し電極はセルフアラインにより形成されており、引き出し電極形成のためのバーニングが不要である。これにより、工程数が低減し、エミッタ・ベースの合わせずれがなくなり、引き出し電極形成後に引き出し電極上面とベース領域上の絶縁膜上面とが平坦になり、ベース領域上の絶縁膜上面に引き出し電極の段差が発生しなくなる。

【0022】従って、エミッタ金属電極およびベース金属電極のバーニング形成に際して、下地の凹凸がないので、金属電極パターンの合わせずれが生じても、エミッタ電極のオーバーエッチングやエミッタコンタクト部のエッチングが発生しなくなり、エミッタ・ベース間で金属電極膜の一部がエッチングされずに残ることによってエミッタ・ベース間の短絡不良が発生することもなく、製造歩留りの低下を防止することが可能になる。

【0023】また、本発明のバイポーラトランジスタの

製造方法は、通常達成可能な微細化技術とセルフアライン技術の範囲内で十分な性能を有するバイポーラトランジスタを少ない工程数で実現することが可能になる。

【0024】

【実施例】以下、図面を参照して本発明の実施例を詳細に説明する。図1(a)乃至(e)は、本発明の一実施例に係るNPNトランジスタの製造工程における半導体基板の断面構造を示している。

【0025】まず、図1(a)に示すように、N⁺型の半導体基板(ウェハ)10の表面にN型エビタキシャル層11を形成し、この半導体基板10の主表面(N型エビタキシャル層11の表面)に素子形成予定領域を取り囲む形でフィールド絶縁膜(図示せず)を選択酸化法により形成する。次に、前記エビタキシャル層11表面の素子形成予定領域上に、P型のベース領域12を形成する。

【0026】次に、前記エビタキシャル層11の表面全面に絶縁膜15を形成する。この絶縁膜15としては、例えば比較的薄い熱酸化膜16および窒化膜17を積層した複合絶縁膜を用いる。

【0027】次に、図1(b)に示すように、エミッタ形成予定領域部およびベース引き出し予定領域部をそれぞれ囲む形の開口を持つレジスト・マスクを形成し、前記窒化膜17および酸化膜16を順次エッチング除去してエミッタ開口部20およびベース開口部21を形成する。

【0028】なお、本工程のエッチングは、トランジスタの寸法を精密に規定するため、異方性エッチング法で行なう。また、上記開口は少なくとも2個以上並列配置されており、本実施例の場合、レティクル上の寸法で各々0.7μm幅であり、開口間距離は2.7μmである。

【0029】次に、前記レジスト・マスクを除去した後、厚さが500nmのアンドープ・ポリシリコン膜22をCVD法により500nmの厚さ堆積することにより、前記エミッタ開口部20およびベース開口部21にそれぞれポリシリコンを埋め込む。

【0030】次に、選択ポリッシャ、CDE(ケミカル・ドライ・エッチング)などにより、図1(c)に示すように、ポリシリコン膜22を前記窒化膜17をストップバーとしてエッチバックする。これにより、前記エミッタ開口部およびベース開口部にそれぞれ埋め込まれたポリシリコン22と窒化膜17表面とが平坦化される。次に、前記エミッタ開口部のポリシリコン22にN型の不純物(例えばA_s)のイオンを注入する。また、前記ベース開口部のポリシリコンにP型の不純物(例えばB)のイオンを注入する。

【0031】次に、熱処理(アニール処理)を行うことにより、図1(d)に示すように、前記エミッタ開口部のポリシリコン22を電極(エミッタ引き出し電極22

a) 化すると共にそれを拡散源としてエミッタ領域13を拡散形成する。また、上記熱処理により、前記ベース開口部のポリシリコン22を電極(ベース引き出し電極22b)化すると共にそれを拡散源としてベース電極引き出し領域14を拡散形成する。この後、前記絶縁膜15上に金属膜(例えばアルミニウム膜)18を蒸着する。

【0032】次に、図1(e)に示すように、上記アルミニウム膜18をバーニングし、エミッタ引き出し電極22a上を覆うようにエミッタ電極18aを形成すると共に前記ベース引き出し電極22b上を覆うようにベース電極18bを形成する。

【0033】さらに、前記N型エピタキシャル層11と共にNPNトランジスタのコレクタ領域となるN型基板10の裏面に金属膜(例えばアルミニウム膜)を蒸着し、これをバーニングしてコレクタ電極(図示せず)を形成する。図2は、上記したように形成されたNPNトランジスタの断面構造の一部を示している。

【0034】このNPNトランジスタは、ベース領域12上の絶縁膜15の一部に形成されたエミッタ開口部20およびベース開口部21にそれぞれエミッタ引き出し電極22aおよびベース引き出し電極22bが埋込み形成されており、エミッタ引き出し電極22aおよびベース引き出し電極22bをそれぞれ拡散源としてベース領域12の表層部の一部にエミッタ領域13およびベース電極引き出し領域14が拡散形成され、エミッタ引き出し電極22a上を覆うようにエミッタ金属電極18aが形成されると共にベース引き出し電極22b上を覆うようにベース金属電極18bが形成されている。

【0035】上記引き出し電極22a、22bはセルフアラインにより形成されており、引き出し電極形成のためのバーニングが不要である。これにより、工程数が低減し、エミッタ・ベースの合わせずれがなくなり、引き出し電極形成後に引き出し電極22a、22bの上面とベース領域12上の絶縁膜15の上面とが平坦になり、ベース領域12上の絶縁膜15上に引き出し電極の段差が発生しなくなる。

【0036】従って、エミッタ金属電極18aおよびベース金属電極18bのバーニング形成に際して、下地の凹凸がないので、金属電極パターンの合わせずれが生じても、エミッタ電極のオーバーエッチングやエミッタコンタクト部のエッチングが発生しなくなり、エミッタ・ベース間で金属電極膜の一部がエッチングされずに残ることによってエミッタ・ベース間の短絡不良が発生することもなく、製造歩留りの低下を防止することが可能になる。

【0037】また、上記実施例のNPNトランジスタの製造方法は、通常達成可能な微細化技術とセルフアライン技術の範囲内で十分な性能を有するバイポーラトランジスタを少ない工程数で実現することが可能になる。

【0038】なお、上記実施例は、バイポーラトランジスタをディスクリート・デバイスとして形成する場合について説明したが、同一手法で超高速集積回路の例えば出力用トランジスタとして形成することも可能である。

【0039】また、上記実施例は、基板およびエピタキシャル層をコレクタ領域とする縦型バイポーラトランジスタを形成する場合について説明したが、本発明は、ベース領域内にエミッタ領域にコレクタ領域が対向する横型バイポーラトランジスタを形成する場合にも適用できる。

【0040】

【発明の効果】上述したように本発明によれば、エミッタ電極のオーバーエッチングやエミッタコンタクト部のエッチングを防止でき、かつ、エミッタ・ベース間の短絡不良の発生を防止でき、しかも、工程数を削減でき、超高速動作が可能なバイポーラトランジスタを提供することができる。

【0041】また、本発明によれば、通常達成可能な微細化技術とセルフアライン技術の範囲内で超高速動作が可能なバイポーラトランジスタを実現し得る製造方法を提供することができる。

【図面の簡単な説明】

【図1】本発明の一実施例に係るNPNトランジスタの製造方法における各工程での半導体基板の断面構造を示す図。

【図2】図1の製法により形成されたNPNトランジスタの一部を示す断面図。

【図3】従来の高周波用のバイポーラトランジスタの平面パターンを示す図。

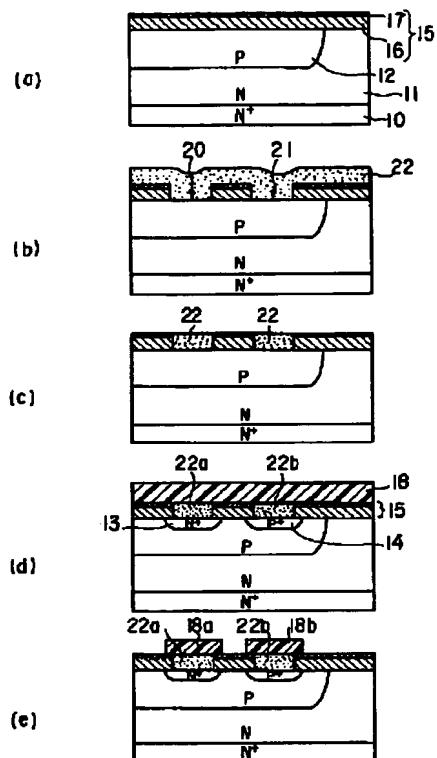
【図4】図3中のB-B線に沿う断面構造の一部を示す断面図。

【図5】図4中のアルミニウム電極とポリシリコン電極とのパターン合わせずれが生じた場合のエッチング工程後の断面構造の一例を示す図。

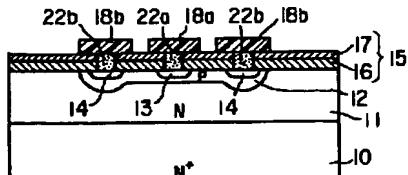
【符号の説明】

10…N⁺基板、11…N型エピタキシャル層、12…ベース領域、13…エミッタ領域、14…ベース電極引き出し領域、15…絶縁膜、16…熱酸化膜、17…窒化膜、18a…エミッタ金属電極、18b…ベース金属電極、22…ポリシリコン膜、22a…エミッタ引き出し電極、22b…ベース引き出し電極。

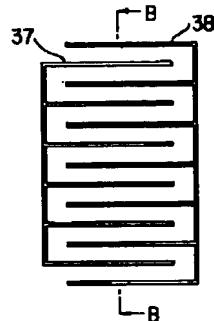
【図1】



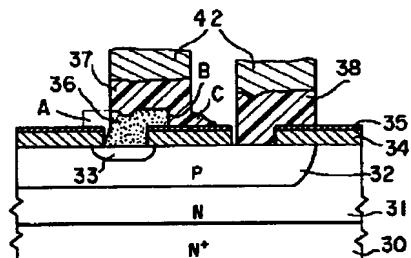
【図2】



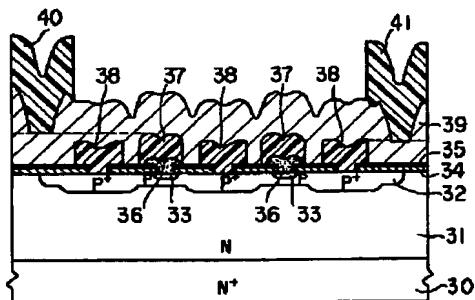
【図3】



【図5】



【図4】



フロントページの続き

(72)発明者 大澤 明彦
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝多摩川工場内

(72)発明者 土谷 政信
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝多摩川工場内